

Docket No.: 1999P1827



#4

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By: 

Date: February 1, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Otto Schneider et al.
Appl. No. : 10/021,689
Filed : November 13, 2001
Title : Circuit Configuration for Generating Current Pulses in the
Supply Current of Integrated Circuits

CLAIM FOR PRIORITY


Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the European Patent Application EP 99 1095 52.2 filed May 12, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

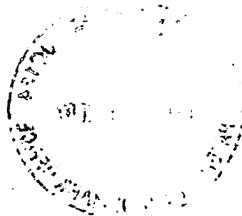


GREGORY L. MAYBACK
REG NO. 40,719

Date: February 1, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



This Page Blank (uspto)



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**



Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the ..
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

99109552.2

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

DEN HAAG, DEN
THE HAGUE, 04/12/01
LA HAYE, LE

This Page Blank (uspto)





**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

**Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation**

Anmeldung Nr.:
Application no.: 99109552.2
Demande n°:

Anmeldetag:
Date of filing: 12/05/99
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
SIEMENS AKTIENGESELLSCHAFT
80333 München
GERMANY

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:

Schaltungsanordnung zur Erzeugung von Strompulsen im Versorgungsstrom integrierter Schaltungen

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat:
State:
Pays:

Tag:
Date:
Date:

Aktenzeichen:
File no.
Numéro de dépôt:

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

H03K5/12

Am Anmeldetag benannte Vertragsstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

This Page Blank (uspto)

12. Mai 1999

1

Beschreibung

Schaltungsanordnung zur Erzeugung von Strompulsen im Versorgungsstrom integrierter Schaltungen

5

Integrierte Schaltungen insbesondere solche zur Verwendung in tragbaren Datenträgern wie Chipkarten bieten viele Manipulations- und/oder Analyseanreize, da sie zunehmend in sicherheitskritischen Bereichen wie Zutrittskontrolle, als wieder-
10 aufladbare Geldkarte oder zur Erzeugung elektronischer Unterschriften eingesetzt werden.

Die für die Sicherheit der genannten Anwendungen maßgeblichen Elemente sind zumeist speziell konfigurierte Schaltungsteile
15 oder in nicht-flüchtigen Speichern abgelegte geheime Informationen. Um ein Ausspähen dieser Details zu verhindern wurde in der Vergangenheit vorgeschlagen, Schaltungsteile in tieferen Ebenen der integrierten Schaltung zu realisieren, so daß sie durch darüberliegende Strukturen verdeckt sind. Andere
20 Vorschläge zielten auf eine zusätzliche vorzugsweise leitende Abdeckung der integrierten Schaltung, die in die Stromversorgung einbezogen ist und deren Vorhandensein bzw. Unversehrtheit detektiert werden kann, um den Verarbeitungsablauf in der integrierten Schaltung entsprechend zu beeinflussen. Dar-
25 überhinaus ist auch schon eine Verschlüsselung des Datenaustauschs zwischen Bestandteilen einer Schaltung auf einem einzigen Halbleiterchip vorgeschlagen worden.

All diese Schutzmaßnahmen greifen jedoch nicht in ausreichendem Maße bei seit einiger Zeit bekanntgewordenen Analyse-
30 methoden, die sich auf die Beobachtung und die statistische Auswertung des von außen meßbaren Versorgungstromprofils bei bestimmungsgemäßem Gebrauch beschränken, ohne also den Halbleiterchip zu verändern. Diese Methoden sind unter der englischen Bezeichnung Single Power Analysis und Differential Power
35 Analysis bekannt geworden und eine kurze Beschreibung

dieser Methoden ist beispielsweise in der Internet-Seite
<http://www.cryptography.com> veröffentlicht.

5 Danach hat es sich gezeigt, daß bei gleichen Abläufen inner-
halb der integrierten Schaltung - beispielsweise bei Ausfüh-
rung des gleichen Befehls in einem Mikroprozessor - das glei-
che Stromprofil an der Versorgungsspannungseingangsklemme
meßbar ist. Durch statistische Auswertung dieses Stromprofils
können sogar einzelne Bits einer für eine Verschlüsselung er-
10 forderlichen geheimen Zahl ermittelt werden.

Die Aufgabe vorliegender Erfindung ist es, einen Schutz vor
einer solchen Analyse zu bieten.

15 Die Aufgabe wird durch eine Schaltungsanordnung mit den Merk-
malen des Anspruchs 1 gelöst. Vorteilhafte Weiterbildungen
sind in den Unteransprüchen angegeben.

20 Gemäß der Erfindung wird die differentielle Power-Analyse an
integrierten Schaltungen, insbesondere an digitalen inte-
grierten CMOS-Schaltungen, erschwert durch die Erzeugung zu-
sätzlicher Pulse im Versorgungsstrom, die insbesondere syn-
chron zu den Flanken des internen Taktsignals der integrier-
ten Schaltung sind. Die Pulsform sowie die Amplitude und der
25 Zeitverlauf sind dabei ähnlich zu den von anderen Schaltungs-
teilen zum Beispiel von Prozessoren oder von sonstiger digi-
taler Logik erzeugten Pulsen im Versorgungsstrom, die bei di-
gitalen Schaltungen typischerweise einer Ladekurve eines Kon-
densators über einen Widerstand entsprechen.

30 Trotz der gewünschten relativ hohen Pulsamplituden kommt die
erfindungsgemäße Schaltungsanordnung mit relativ kleinen Kon-
densatoren aus, so daß keine große Fläche auf dem Chip benö-
tigt wird. Weiterhin können die Amplitude und die Ladezeit-
35 konstante sowie die Dauer der Strompulse weitgehend unabhän-
gig voneinander eingestellt werden.

Die erfindungsgemäße Schaltungsanordnung kann bei beliebigen integrierten Schaltungen eingesetzt werden, die mit komplementären, zwischen den Versorgungsspannungsanschlüssen in Serie geschalteten Schaltelementen aufgebaut ist, deren Steuer-
5 eingänge miteinander verbunden sind, so daß immer eines der beiden Schaltelemente durchgeschaltet ist. Wenn im folgenden die wesentlichen Merkmale der Erfindung anhand von CMOS-Schaltungen erläutert werden, soll dies daher keine Einschränkung auf diese Technik bedeuten. Außerdem können die
10 Stromspitzen durch die Schaltflanken beliebiger Steuersignale am Eingangsanschluß einer Schalteinheit oder einer Schaltstufe hervorgerufen werden. Auch hier soll das im folgenden als Beispiel gebrauchte Taktsignal keine Einschränkung auf ein bestimmtes Steuersignal bedeuten.

15 Eine Ausführungsform der erfindungsgemäßen Schaltungsanordnung benutzt ein Verzögerungsglied am Gate eines der beiden Transistoren einer CMOS-Inverterstufe. Dadurch wird bei einem Signalwechsel am Eingang der CMOS-Inverterstufe der eine
20 Transistor sofort eingeschaltet und der andere Transistor verzögert abgeschaltet. Zwischen diesen beiden Schaltpunkten fließt ein Querstrom durch den CMOS-Inverter, dessen Amplitude im wesentlichen durch die Dimensionierung der Transistoren und dessen Zeitkonstante im wesentlichen durch das Verzögerungsglied am Gate des einen Transistors bestimmt ist.
25

Eine erfindungsgemäße Schaltungsanordnung kann lediglich mit einer Schalteinheit gebildet sein, bei der am Gate eines der Schaltelemente ein Verzögerungsglied angeordnet ist, es ist
30 jedoch auch möglich, eine Schaltungsanordnung mit zwei in Serie geschalteten Schalteinheiten zu bilden, die einen Vor- und eine Endstufe darstellen, und bei der lediglich am Steueranschluß eines der Schaltelemente der Endstufe ein Verzögerungsglied angeordnet ist.

35 Derartige Schalteinheiten oder Schaltstufen können durch vorgeschaltete Schaltvorrichtungen jeweils aktiviert oder de-

aktiviert werden, indem ein Steuersignal, insbesondere ein Taktsignal, aufgeschaltet wird oder nicht. Weiterhin kann durch Invertierung des Steuer- oder Taktsignals oder Tausch des jeweils verzögert angesteuerten Steueranschlusses eines Schaltelements festgelegt werden, ob der Strompuls jeweils bei der positiven oder der negativen Flanke des Steuersignals erzeugt wird.

Es können auch mehrere Schalteinheiten oder Schaltstufen, insbesondere mit jeweils unterschiedlichen Amplituden, benutzt werden, um ähnlich wie beim D/A-Umsetzerprinzip eine bestimmte Amplitude in Abhängigkeit der Anzahl der aktivierten Schalteinheiten oder Schaltstufen zu erreichen.

Die Auswahl der Schalteinheiten oder Schaltstufen erfolgt über die Schaltvorrichtungen ansteuernde Steuersignale einer Steuerschaltung, die in einer Ausführung einen als Zufallszahlengenerator ausgebildeten Signalgenerator aufweist, so daß die Amplitude der erzeugten Strompulse einerseits und ihr Erzeugungszeitpunkt bei einer steigenden oder fallenden Steuersignalflanke, insbesondere einer Taktsignalflanke, zufällig variiert. Der Signalgenerator kann in einer anderen Ausführung auch deterministische Signale erzeugen. Die Auswahl hängt vom gewünschten Zweck ab.

Die Erfindung soll nachfolgend anhand von Ausführungsbeispielen mit Hilfe von Figuren näher erläutert werden. Dabei zeigen:

Figur 1 eine erste Ausführung einer erfindungsgemäßen Schaltungsanordnung mit einer aus einer Vor- und einer Endstufe gebildeten Schaltstufe,

Figur 2 eine zweite Ausführungsform einer erfindungsgemäßen Schaltungsanordnung,

5

Figur 3 eine dritte Ausführungsform der erfindungsgemäßen Schaltungsanordnung mit einer Steuerschaltung zur Auswahl der Schaltflanke des Steuersignals,

5 Figur 4 ein die Schaltung gemäß Figur 3 beschreibendes Signaldiagramm,

Figur 5 eine mehrstufige Schaltungsanordnung zur Erzeugung unterschiedlicher Pulsamplituden,

10

Figur 6 ein Beispiel für ein Signaldiagramm zur Beaufschlagung der Eingänge der Schaltung gemäß Figur 5 und

15

Figur 7 das aus dem Signaldiagramm gemäß Figur 6 resultierende Stromprofil als Spannungsabfall über einem Meßwiderstand der Schaltung gemäß Figur 5.

In Figur 1 ist ein mit einem PMOS-Transistor gebildetes erstes Schaltelement SE1 in Serie zu einem mit einem NMOS-Transistor gebildeten zweiten Schaltelement SE2 zwischen einer Versorgungsspannung VDD einer integrierten Schaltung und dem Masseanschluß angeordnet. Die Steuer- bzw. Gateanschlüsse der Schaltelemente SE1, SE2 bzw. MOS-Transistoren sind miteinander verbunden und bilden einen Eingangsanschluß einer durch die Schaltelemente SE1, SE2 gebildeten Schaltungseinheit SH. Zwischen diesem Eingangsanschluß und dem Gateanschluß des NMOS-Transistors ist ein Verzögerungsglied VG angeordnet. Dieses Verzögerungsglied VG ist im dargestellten Beispiel mit einem RC-Glied gebildet, wobei als Beispiel für den Wert des Widerstands $20\text{k}\Omega$ und für den Wert des Kondensators 700fF angegeben sind.

Die zuvor beschriebene Schalteinheit SH bildet im Beispiel der Figur 1 die Endstufe ES einer Schaltstufe STS. Dieser Endstufe ES ist eine Vorstufe VS vorgeschaltet, die ebenfalls als Schalteinheit SH mit zwei komplementären Schaltelementen SE3, SE4 im dargestellten Beispiel als CMOS-Inverter ausge-

6

bildet ist. Dieser Schaltstufe STS wird ein erstes Steuersignal T1, das insbesondere ein Taktsignal sein kann, von einer Steuerschaltung SST zugeführt. Die Steuerschaltung SST wird ihrerseits mit einem Taktsignal und einem Aktivierungssignal Ctrl beaufschlagt.

Bei der erfindungsgemäßen Schaltstufe STS wird bei einer steigenden Flanke des ersten Steuersignals T1 über den Vorstufen-CMOS-Inverter VS an den Eingangsanschluß des Endstufen-CMOS-Inverters ES eine fallende Flanke geschaltet, durch die der PMOS-Transistor SE1 leitend geschaltet wird, während über das Verzögerungsglied VG der NMOS-Transistor SE2 erst verzögert abgeschaltet wird. Hierdurch fließt ein Strompuls von der Versorgungsspannung VDD über die Transistoren nach Masse, dessen Amplitude durch das Breiten/Längenverhältnisse der Transistorkanäle und dessen Dauer durch die Verzögerungszeit des Verzögerungsglieds VG bestimmt wird. Durch den Grad der Unsymmetrie der Breiten/Längenverhältnisse der Transistorkanäle kann die Pulsdauer eingestellt werden. Die Einstellung der einzelnen Pulsparameter erfolgt bei der erfindungsgemäßen Schaltungsanordnung weitgehend unabhängig voneinander.

In Figur 2 ist eine weitere Ausführungsform der erfindungsgemäßen Schaltungsanordnung dargestellt, die sich von der Schaltungsanordnung gemäß Figur 1 lediglich darin unterscheidet, daß das Verzögerungsglied VG nicht zwischen dem Eingangsanschluß der Endstufenschalteinheit ES und dem Gateanschluß des NMOS-Transistor-Schaltelements SE2, sondern zwischen dem Eingangsanschluß der Endstufenschalteinheit ES und dem Gateanschluß des PMOS-Transistor-Schaltelements SE1 angeordnet ist. Dies führt dazu, daß der Strompuls bei einer fallenden Flanke des ersten Steuersignals T1 am Eingang einer aus einer Vorstufe VS und einer Endstufe ES aufgebauten Schaltstufe STS erzeugt wird.

Bei den in den Figuren 1 und 2 dargestellten Ausführungsformen ist das Verzögerungsglied VG mit einem RC-Glied gebildet, wobei in Figur 1 der Kondensator gegen Masse und in Figur 2 der Kondensator gegen die Versorgungsspannung VDD geschaltet ist. Es wäre ebenso möglich, in Figur 1 den Kondensator gegen die Versorgungsspannung VDD und in Figur 2 gegen Masse zu schalten. Statt mit einem RC-Glied kann das Verzögerungsglied VG auch mit logischen Gattern, die geeignete Verzögerungszeiten aufweisen, oder mit einer Kombination von Gattern mit Kondensatoren gebildet werden.

Da mittels der durch die erfindungsgemäße Schaltungsanordnung erzeugten Strompulse das tatsächliche Stromprofil einer integrierten Schaltung verschleiert werden soll, um eine Auswertung mittels der Differential-Power-Analysis-Methode zu erschweren, ist es wünschenswert, die Strompulse zufällig schwankend mal bei einer steigenden und mal bei einer fallenden Flanke des ersten Steuersignals T1 zu erzeugen. Ein Beispiel für eine Schaltungsanordnung, mit der bei einer steigenden und/oder bei einer fallenden Flanke eines Steuersignals ein Strompuls erzeugt werden kann, ist in Figur 3 angegeben.

In der Figur 3 ist angegeben, daß eine solche Schaltungsanordnung sowohl mit einer Schalteinheit SH als auch mit einer Schaltstufe STS gebildet sein kann. Dies gilt jedoch nur prinzipiell, da eine Schaltstufe STS aufgrund des zusätzlichen Inverters bei einer anderen Flanke des Steuersignals einen Puls erzeugt als eine Schalteinheit SH. Die folgenden Angaben zur Figur 3 beziehen sich auf eine Schaltstufe STS.

Gemäß der dortigen Ausführungsform sind zwei identische Schaltstufen STS vorgesehen, die jeweils über eine Schaltvorrichtung SV1 bzw. SV2, die im dargestellten Beispiel mit einem UND-Gatter gebildet ist, mit einem ersten Steuersignal T1 bzw. mit einem zweiten Steuersignal T2, das komplementär zum ersten Steuersignal T1 ist, angesteuert werden können. Die

Auswahl erfolgt über ein erstes Auswahlsignal R, durch das ein Strompuls bei einer steigenden Flanke des ersten Steuersignals T1 erzeugt werden soll beziehungsweise durch ein zweites Auswahlsignal F, durch das ein Strompuls bei einer fallenden Flanke des ersten Steuersignals T1 bzw. bei einer steigenden Flanke des dazu komplementären zweiten Steuersignals T2 erzeugt werden soll.

Sämtliche Steuersignale T1, T2, R, F werden durch eine Steuerschaltung SST erzeugt, die ihrerseits von einem internen Taktsignal Int.Takt sowie von einem Aktivierungssignal Ctrl angesteuert wird. Die Schaltstufen STS sind für das in Figur 3 gewählte Beispiel gemäß Figur 1 ausgebildet. Die Funktion der Schaltung gemäß Figur 3 soll nun anhand des Signaldiagramms gemäß Figur 4 erläutert werden.

In einer auf einem Halbleiterchip realisierten integrierten Schaltung sorgt ein Taktsignal für die Synchronisation einzelner Abläufe. Schaltvorgänge finden meistens bei steigenden oder fallenden Flanken dieses Taktsignals statt. Ein solches internes Taktsignal INT.TAKT ist in Figur 4 als Bezugssignal, das auch der Steuerschaltung SST in Figur 3 zugeführt wird, dargestellt. Aus diesem internen Taktsignal INT.TAKT leitet die Steuerschaltung SST das erste Steuersignal T1, das dazu komplementäre zweite Steuersignal T2 sowie die Auswahlsignale R, F ab.

Es wurden im dargestellten, bevorzugten Ausführungsbeispiel zwei komplementäre Steuersignale T1, T2 gewählt, um nur einen Schaltstufentyp realisieren zu müssen. Prinzipiell würde auch ein Steuersignal ausreichen, dessen steigende und fallende Flanke ausgewertet werden kann. In diesem Fall wären allerdings zwei Schaltstufentypen gemäß der Figuren 1 und 2 nötig.

In Figur 4 entspricht das erste Steuersignal T1 etwa dem Bezugssignal INT.TAKT, da es sinnvoll ist, die zu erzeugenden Strompulse zum gleichen Zeitpunkt zu erzeugen, zu dem auch

die schaltungsbedingten Strompulse des Stromprofils der integrierten Schaltung erzeugt werden.

Das erste Auswahlsignal R muß die erste Schaltvorrichtung SV1
5 in einem Zeitbereich aktivieren, in dem eine steigende Flanke des ersten Steuersignals T1 auftritt. Da die steigende Flanke des zweiten Steuersignals T2 um eine halbe Periodendauer verschoben zur steigenden Flanke des ersten Steuersignals T1 auftritt, muß das zweite Auswahlsignal F ebenfalls verschoben
10 sein, was in Figur 4 dargestellt ist.

Wie aus Figur 4 weiter zu erkennen ist, wird immer, wenn das erste Auswahlsignal R die erste Schaltvorrichtung SV1 aktiviert, im dargestellten Beispiel eines UND-Gatters also einen
15 High-Pegel aufweist, bei einer steigenden Flanke des ersten Steuersignals T1 ein Strompuls (R) erzeugt. In entsprechender Weise wird ein Strompuls (F) erzeugt, wenn das zweite Auswahlsignal F die zweite Schaltvorrichtung SV2 aktiviert und eine steigende Flanke im zweiten Steuersignal T2 auftritt.

20 Wenn unterschiedlich hohe Amplituden in den Strompulsen erzeugt werden sollen, können mehrere Schaltungsanordnungen gemäß Figur 3 bezüglich der Steuersignale T1, T2 parallel geschaltet werden. Dies ist in Figur 5 am Beispiel von fünf
25 Schaltstufen STS dargestellt. Es sind dabei jeweils fünf Auswahlsignale R(0)...R(4) für Strompulse bei steigenden Flanken und fünf Auswahlsignale F(0)...F(4) für Strompulse bei fallenden Flanken vorgesehen.

30 In vorteilhafter Weise können die Schaltstufen STS derart dimensioniert sein, daß die Pulsamplituden einer Schaltstufe STS doppelt so hoch ist wie die einer benachbarten Schaltstufe STS, also beispielsweise die normierten Werte 1, 2, 4, 8 und 16 aufweisen.

35 In Figur 7 ist dargestellt, welche Strompulsfolge mit einer Schaltungsanordnung gemäß Figur 5 erzeugt werden kann, wenn

Auswahlsignale gemäß Figur 6 an die Schaltungsanordnung angelegt werden.

Bei der Schaltungsanordnung gemäß Figur 5 sind eine Gruppe von fünf Schaltstufen STS bezüglich des ersten Steuersignals T1 und eine weitere Gruppe von ebenfalls fünf Schaltstufen STS bezüglich des zweiten Steuersignals T2 parallel geschaltet.

Die Schaltstufen STS der Gruppe erzeugen dabei abhängig vom Zustand der Auswahlsignale $R(0) \dots R(4)$ Strompulse bei steigenden Flanken des ersten Steuersignals T1, während die Schaltstufen STS der weiteren Gruppe abhängig vom Zustand der Auswahlsignale $F(0) \dots F(4)$ Strompulse bei fallenden Flanken des ersten Steuersignals T1 bzw. aufgrund der Komplementarität bei steigenden Flanken des zweiten Steuersignals T2 erzeugen. Die Schaltstufen STS sind dabei prinzipiell gleich aufgebaut, so daß sie bei steigenden Flanken Strompulse erzeugen. Wie der Darstellung in Figur 6 zu entnehmen ist, kann es nötig sein, die zweiten Auswahlsignale $F(0) \dots F(4)$ beispielsweise durch eine Latcheschaltung etwas zu verzögern, um sicherzustellen, daß die steigende Flanke des zweiten Steuersignals T2 während des Anliegens der zweiten Auswahlsignale $F(0) \dots F(4)$ auftritt.

Es wäre aber auch möglich, eine erste Gruppe von Schaltstufen STS zu bilden, die bei steigenden Flanken des ersten Steuersignals T1 einen Strompuls erzeugen und eine zweite Gruppe von Schaltstufen SST zu bilden, die bei einer fallenden Flanke des ersten Steuersignals T1 einen Strompuls erzeugen, die alle bezüglich des ersten Steuersignals T1 parallel geschaltet sind. Hierbei müßten jedoch, wie bereits zu Figur 3 ausgeführt wurde, unterschiedliche Typen von Schaltstufen STS benutzt werden.

Mit der in den Figuren erläuterten erfindungsgemäßen Schaltungsanordnung können also bei beliebigen Flanken eines Takt-

11

signals gesteuert durch einen Signalgenerator SG Strompulse unterschiedlicher Höhe im Versorgungsstrom einer integrierten Schaltung erzeugt werden und so dem Stromprofil der integrierten Schaltung ein Rauschen überlagert werden, so daß eine Einfache oder Differentielle Power Analyse deutlich erschwert, wenn nicht gar verhindert wird.

This Page Blank (uspto)

12 Mai 1999

12

Patentansprüche

1. Schaltungsanordnung zur Erzeugung von Strompulsen im Versorgungstrom integrierter Schaltungen mit zumindest einer
5 mit zwei komplementären, zwischen den Versorgungsspannungen (VDD, Masse) der integrierten Schaltung in Serie geschalteten, steuerbaren Schaltelementen (SE1, SE2; SE3, SE4) gebildeten Schalteinheit (SH; VS, ES), deren durch ein erstes Steuersignal (T1) ansteuerbarer Eingangsanschluß mit den
10 Steueranschlüssen der Schaltelemente (SE1, SE2; SE3, SE4) verbunden ist, wobei zwischen dem Eingangsanschluß und entweder dem Steueranschluß des Pull-Up-Schaltelements (SE1, SE3) oder dem Steueranschluß des Pull-Down-Schaltelements (SE2, SE4) ein Verzögerungsglied (VG) angeordnet ist, so daß entwe-
15 der bei einer steigenden oder einer fallenden Flanke des ersten Steuersignals (T1) ein Strompuls erzeugt wird.

2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß der Schalteinheit (ES) eine weitere Schalteinheit
20 (VS) vorgeschaltet ist, deren Eingangsanschluß direkt mit den Steueranschlüssen der sie bildenden komplementären Schaltelemente (T3, T4) verbunden ist und deren Ausgangsanschluß durch den Verbindungspunkt der beiden komplementären Schaltelemente (T3, T4) gebildet ist, wobei die Serienschaltung dieser
25 Schalteinheiten (VS, ES) eine Schaltstufe (STS) bildet, deren Eingangsanschluß mit dem ersten Steuersignal (T1) ansteuerbar ist.

3. Schaltungsanordnung nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß eine Schalteinheit (SH; VS, ES) mit einer
30 CMOS-Inverterschaltung gebildet ist.

4. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, **dadurch gekennzeichnet**, daß mehrere Schalteinheiten (SH)
35 oder Schaltstufen (STS) bezüglich des ersten Steuersignals (T1) parallelgeschaltet sind und das erste Steuersignal (T1) jeweils über eine von einer Steuerschaltung (SST) ansteuerba-

13

ren Schaltvorrichtung (SV1, SV2) einer jeweiligen Schalteinheit (SH) oder Schaltstufe (STS) zuführbar ist.

5. Schaltungsanordnung nach Anspruch 4, **dadurch gekennzeichnet**, daß die Schalteinheiten (SH; VS, ES) oder Schaltstufen (STS) derart dimensioniert sind, daß sie unterschiedlich hohe Strompulse erzeugen.

6. Schaltungsanordnung nach einem der Ansprüche 4 oder 5, **dadurch gekennzeichnet**, daß die Schalteinheiten (SH; VS, ES) oder Schaltstufen (STS) derart gebildet sind, daß die Strompulse bei einer steigenden Flanke des ersten Steuersignals (T1) erzeugt werden.

7. Schaltungsanordnung nach einem der Ansprüche 4 oder 5, **dadurch gekennzeichnet**, daß die Schalteinheiten (SH; VS, ES) oder Schaltstufen (STS) derart gebildet sind, daß die Strompulse bei einer fallenden Flanke des ersten Steuersignals (T1) erzeugt werden.

8. Schaltungsanordnung nach einem der Ansprüche 4 oder 5, **dadurch gekennzeichnet**, daß die Schalteinheiten (SH; VS, ES) oder Schaltstufen (STS) einer ersten Gruppe derart gebildet sind, daß die Strompulse bei einer steigenden Flanke des ersten Steuersignals (T1) erzeugt werden und die Schalteinheiten (SH; VS, ES) oder Schaltstufen (STS) einer zweiten Gruppe derart gebildet sind, daß die Strompulse bei einer fallenden Flanke des ersten Steuersignals (T1) erzeugt werden.

9. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß eine erste Anzahl von Schalteinheiten (SH; VS, ES) oder Schaltstufen (STS) bezüglich des ersten Steuersignals (T1) parallelgeschaltet sind und eine Gruppe bilden und das erste Steuersignal (T1) jeweils über eine von einer Steuerschaltung (SST) ansteuerbaren Schaltvorrichtung (SV1) einer jeweiligen Schalteinheit (SH) oder Schaltstufe (STS) der Gruppe zuführ-

bar ist, wobei die Schalteinheiten (SH; VS, ES) oder Schaltstufen (STS) der Gruppe derart gebildet sind, daß die Strompulse bei einer steigenden Flanke des ersten Steuersignals (T1) erzeugt werden,

- 5 und daß eine zweite Anzahl von Schalteinheiten (SH) oder Schaltstufen (STS) bezüglich eines zweiten, zum ersten Steuersignal (T1) komplementären Steuersignals (T2) parallelgeschaltet sind und eine weitere Gruppe bilden und das zweite Steuersignal (T2) jeweils über eine von der Steuerschaltung
- 10 (SST) ansteuerbaren Schaltvorrichtung (SV2) einer jeweiligen Schalteinheit (SH) oder Schaltstufe (STS) der weiteren Gruppe zuführbar ist, wobei die Schalteinheiten (SH) oder Schaltstufen (STS) der weiteren Gruppe derart gebildet sind, daß die Strompulse bei einer steigenden Flanke des zweiten Steuersignal (T2) bzw. einer fallenden Flanke des ersten Steuersignals (T1) erzeugt werden.
- 15

10. Schaltungsanordnung nach einem der Ansprüche 4 bis 9, **dadurch gekennzeichnet**, daß die Steuerschaltung (SST) einen Signalgenerator (SG) zur Erzeugung von Bitmustern zur Ansteuerung der Schaltvorrichtungen (SV1, SV2) aufweist.
- 20

11. Schaltungsanordnung nach Anspruch 10, **dadurch gekennzeichnet**, daß der Signalgenerator (SG) ein Zufallszahlengenerator ist.
- 25

This Page Blank (uspto)

12 Mai 1999

15

Zusammenfassung

Schaltungsanordnung zur Erzeugung von Strompulsen im Versorgungsstrom integrierter Schaltungen

5

Schaltungsanordnung zur Erzeugung von Strompulsen im Versorgungsstrom integrierter Schaltungen mit zumindest einer mit zwei komplementären, zwischen den Versorgungsspannungen (VDD, Masse) der integrierten Schaltung in Serie geschalteten, steuerbaren Schaltelementen (SE1, SE2; SE3, SE4) gebildeten Schalteinheit (SH; VS, ES), deren durch ein erstes Steuersignal (T1) ansteuerbarer Eingangsanschluß mit den Steueranschlüssen der Schaltelemente (SE1, SE2; SE3, SE4) verbunden ist, wobei zwischen dem Eingangsanschluß und entweder dem Steueranschluß des Pull-Up-Schaltelements (SE1, SE3) oder dem Steueranschluß des Pull-Down-Schaltelements (SE2, SE4) ein Verzögerungsglied (VG) angeordnet ist, so daß entweder bei einer steigenden oder einer fallenden Flanke des ersten Steuersignals (T1) ein Strompuls erzeugt wird.

20

Figur 1

This Page Blank (uspto)

12. Mai 1999

1/2

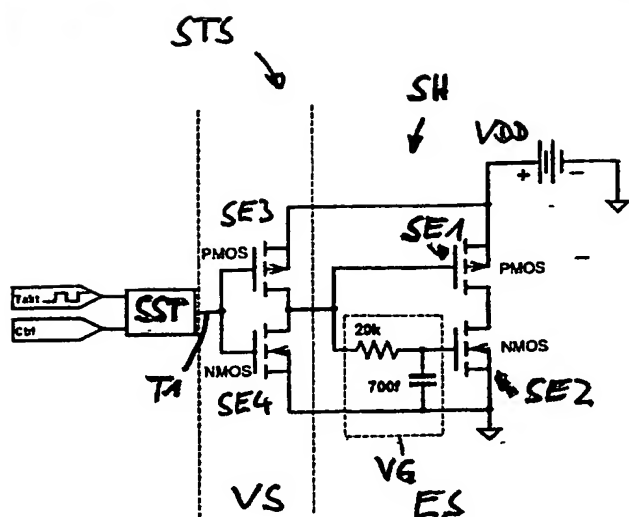


Fig 1

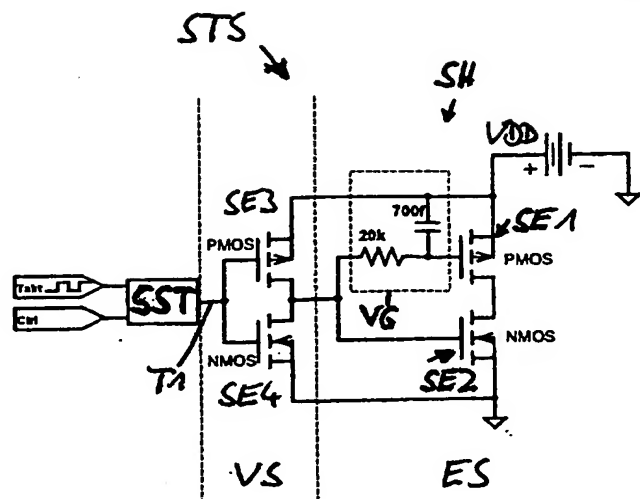


Fig 2

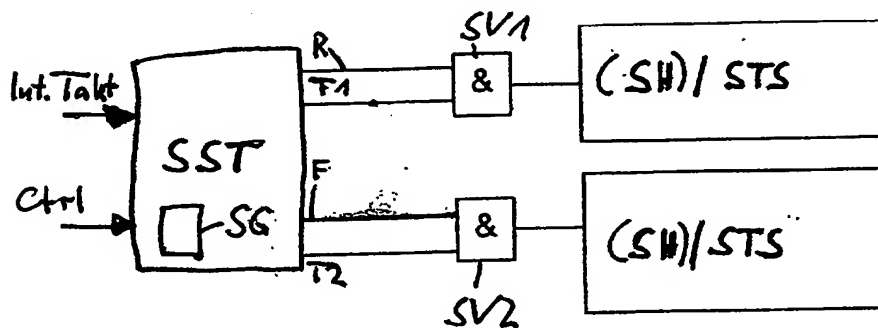
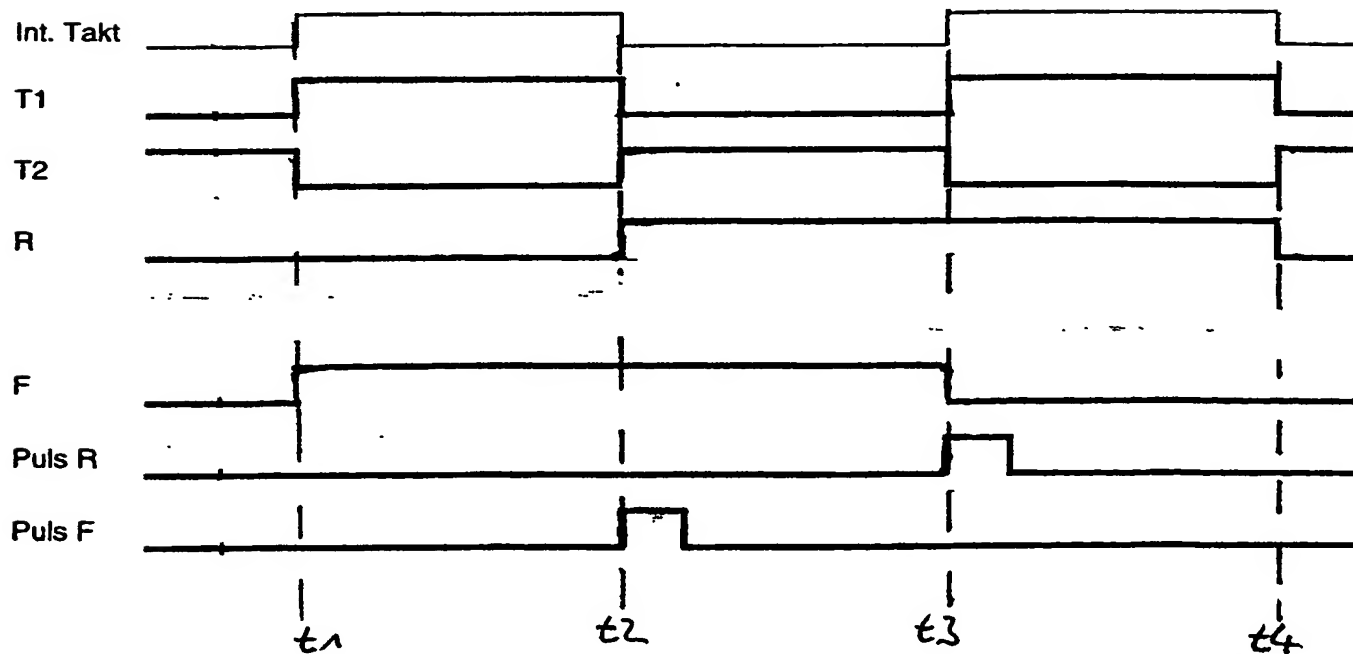


Fig 3



99 P 18 27

2/2

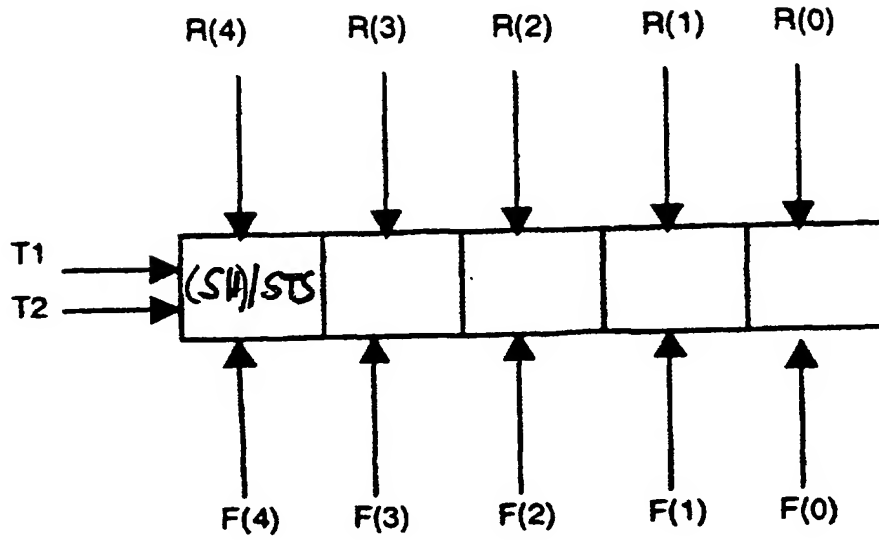


Fig 5

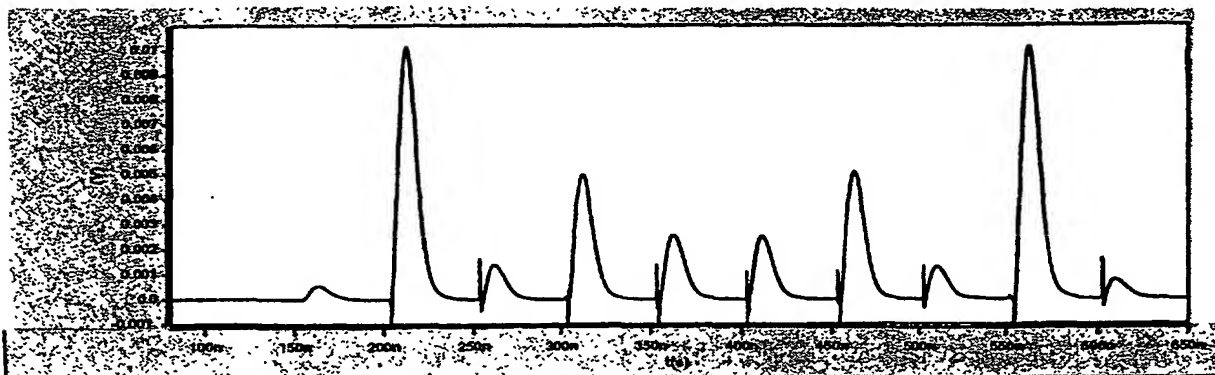
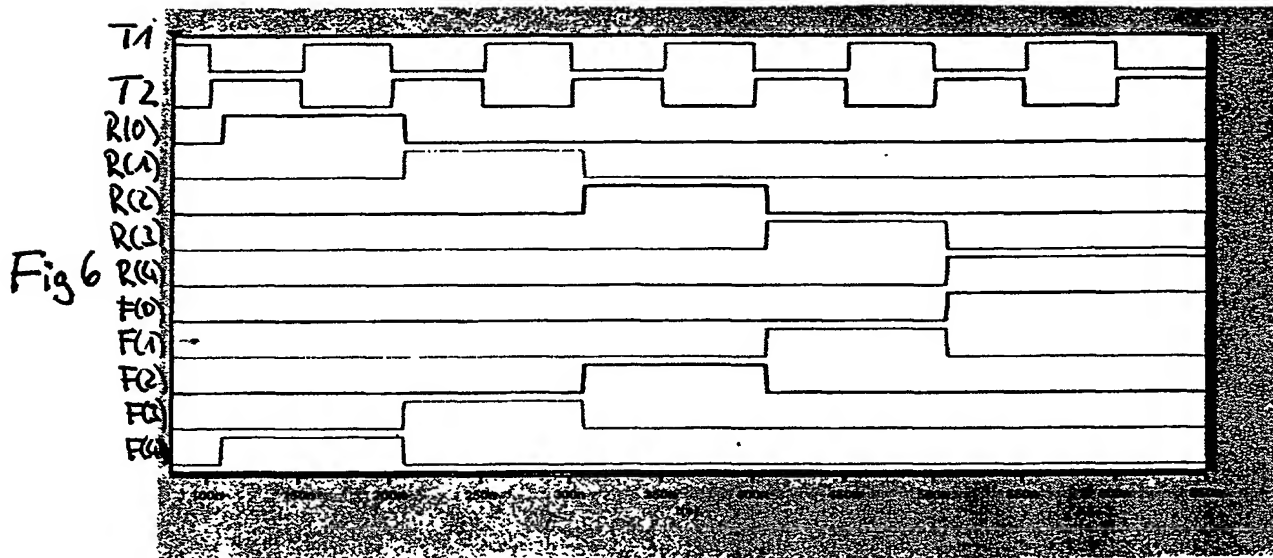


Fig 7